

# 高並列光多重コンピューティングのための 次世代光電子集積回路に関する基礎研究

財団法人 石田（實）記念財団研究助成  
研究成果報告書

平成6年11月18日

青木 孝文

東北大学大学院情報科学研究科

## 1 はじめに

近年、VLSI システムの極限的微細化の進行は著しいが、トランジスタのスイッチング遅れ時間よりもむしろ内部配線の複雑さに起因する性能限界が深刻な問題となりつつある。特に、集積回路の高並列化に伴い、演算モジュール間の配線が激増し、その集積化そのものに対して物理限界を与えている。このため、従来の並列 VLSI システムにおいては、シストリックアレーに代表されるように、パイプライン方式と局所的な結合を用いたアーキテクチャが主流であった。しかしながら、次世代のリアルタイム処理には、演算遅れ時間の小さい空間並列アーキテクチャが必要になると予想され、グローバルな通信配線がシステム全体の性能やコストを支配するようになると考えられる。

これまでに本研究者らは、上記のような配線問題を本質的に解消できる次世代 VLSI の実現を目指して、光の波長多重性に着目した「光多重コンピューティング」の概念を提案するとともに、この原理に基づく多波長光電子集積回路（多波長 OEIC）の可能性を検討してきた [1]-[4]。多波長 OEIC においては、光の波長で情報を表現するため、多数の信号を1本の信号線（光導波路）に多重化して伝送することが可能である。また、波長空間を利用することにより、配線の複雑さを増加することなく並列処理を実現することが可能である。

本研究では、集積化光多重コンピューティングを実現する際の鍵になるコンパクトな波長選択素子を設計するとともに、本素子を複数個集積化した多波長受光 IC を試作した。さらに、本チップの開発を通じて、次世代の集積回路において複数の波長を情報担体として用いる際の技術課題、使用可能な波長数ならびに期待される性能を明らかにした。

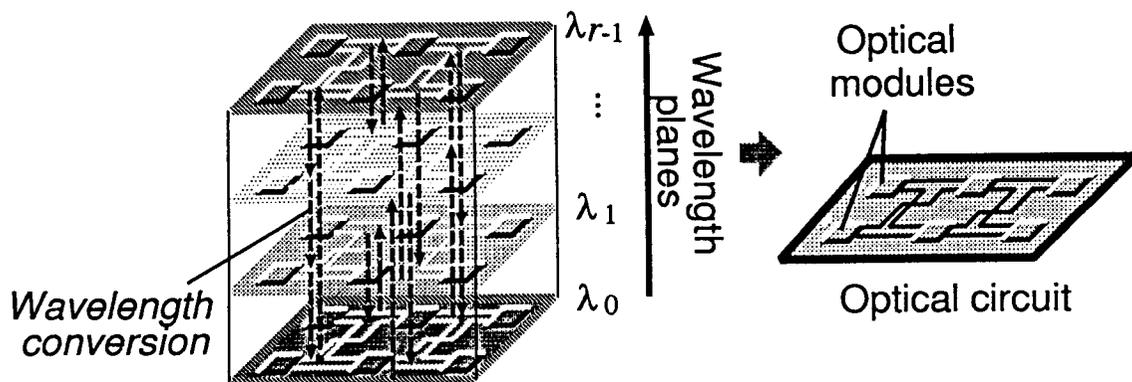


図 1: 光多重コンピューティングの概念

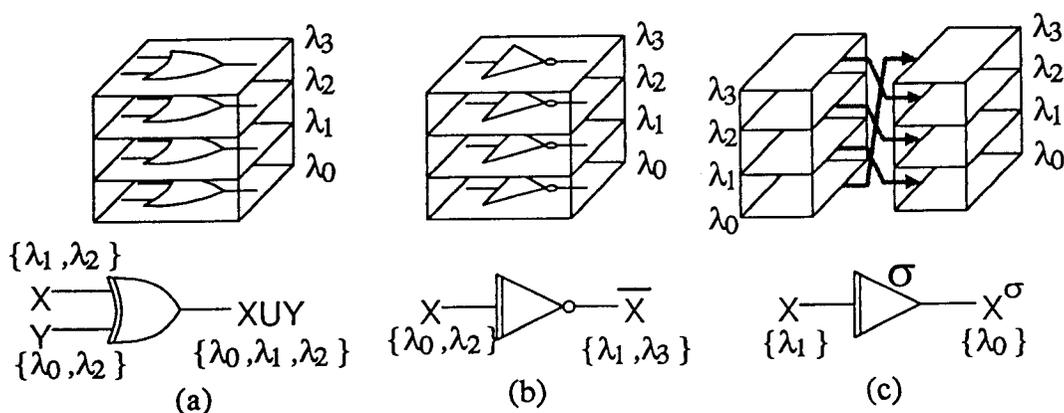
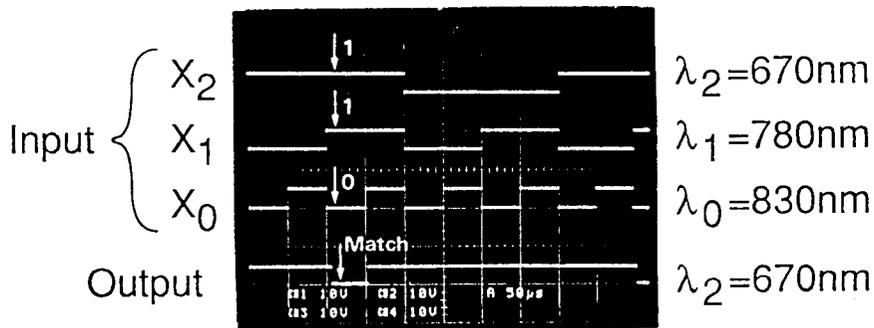
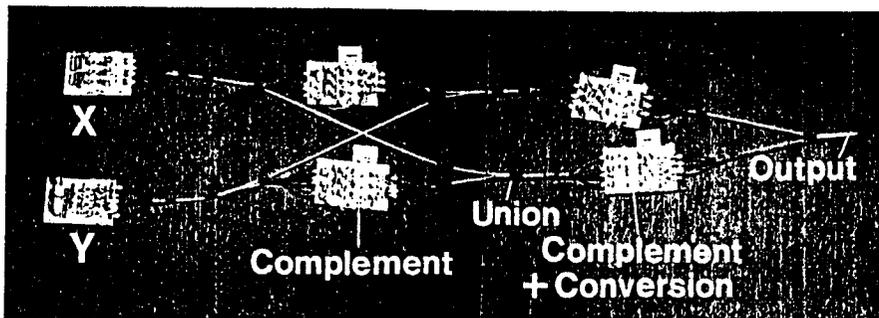


図 2: 光論理ゲートの動作と記号(a) 和集合ゲート, (b) 補集合ゲート, (c) 波長変換ゲート

## 2 光多重コンピューティングの概念

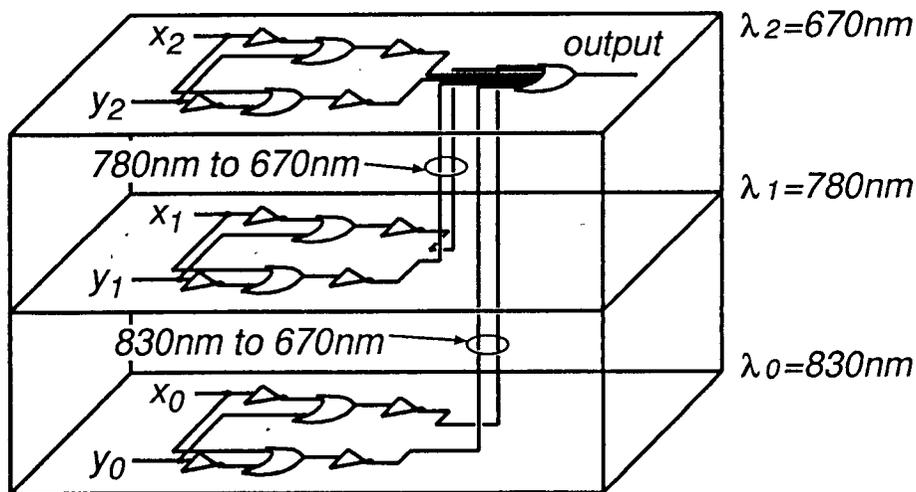
光多重コンピューティングシステムでは、時間的・空間的並列処理に加えて波長空間を用いた並列処理が可能になる。図 1 にその概念図を示す。このように各波長平面ごと独立に演算を実行することが可能であるため、 $r$ 種類の波長を使うことにより、単一の回路において等価的に  $r$ 個の処理を並列に実行することができる。

このような光多重演算回路を系統的に構成するためには、従来の 2 値論理や多値論理を単に拡張しただけでは不十分である。本研究者らはこれまでにその理論的基礎として「集合論理 (Set-Valued Logic)」の体系を提案するとともに、その基本論理ゲートをモデル化している [4], [5]。集合論理において完全系をなす論理ゲートの例として図 2 に和集合ゲート、補集合ゲートおよび波長変換ゲートを示す。これらのうち和集合ゲートおよび補集合ゲートは、 $r$ 個の各波長平面において独立に機能する 2 値論理の OR ゲートおよび NOT ゲートとして動作する。これらは、波長空間内で波長平面ごとに独立な  $r$ 個の 2 値論理回路を構成するために必要になる。一方、波長変換ゲートは、各波長平面間における通信のために導入されている。例えば、 $\lambda_i$ と $\lambda_j$ の波長平面間の通信を行うには、単に波長 $\lambda_i$ の信



$$y_2 = 1 \quad y_1 = 1 \quad y_0 = 0$$

(a)



(b)

図 3: 3 ビットパターンマッチング回路(a) 原理実験, (b) 等価回路

号を波長 $\lambda_j$ に変換すれば良いことがわかる。

図 3は波長平面間通信を含めた光多重コンピューティングの概念を示すための実験システムである。図 3(a)に示した光回路は、光ファイバ、誘電体多層膜フィルタ、フォトダイオード並びに発振波長が 670, 780, 830nm のレーザダイオードなどの個別素子を組み合わ

せて構成されている。図 3(b) の波長空間ダイアグラムに示すように、本回路は波長空間を利用することにより、3 ビットのパターンマッチング演算を並列に実行している。動作波形から、データ  $x_2x_1x_0$  と  $y_2y_1y_0$  の間でのパターンマッチングが各ビットごとに並列に行われていることが分かる。ここで特に重要なことは、図 3(b) に示されている波長空間内の垂直方向の配線は、波長変換のみによって実現される点である。このような波長空間内への配線トポロジーの埋め込みにより、配線量を大幅に減少することが可能である。

ここでは、光多重コンピューティングの例として簡単な論理演算について述べたが、この原理は計算機アーキテクチャのさまざまなレベルにおいて利用することができる。このような多波長光インタコネクションの導入による配線トポロジーの単純化の効果は、特にプロセッサ間結合網などの上位アーキテクチャにおいて顕著に現れるものと考えられる。

### 3 多波長 OEIC 素子

光多重コンピューティングシステムを集積回路として実現するためには、図 4 に示すように、集積化光導波路、多波長光を出力するレーザダイオード、さらに波長を選択的に検出する素子が必要である。しかも通信分野での応用と異なり、これらがミクロンオーダのコンパクトな素子として実現される必要がある。これまでに、導波路としてポリイミドを用いた集積化導波路 [6] や、レーザダイオードとして多波長面発光レーザ [7] が提案されており、いずれもミクロンオーダの集積化が可能であると考えられる。しかしながら、波長選択素子に関しては、方向性結合器やグレーティングなどに代表されるように、光通信の応用で用いるような素子長が長いものが主流であり、多波長 OEIC の構成要素としては適さない。多波長 OEIC においては、高密度 WDM 通信に要求されるような波長領域での高精度なチューニングは不要であり、むしろある特定波長域の光信号の有無（論理値）のみを検出する垂直光入射タイプのコンパクトな波長選択素子が必要不可欠である。以上のような観点から、本研究では誘電体多層膜フィルタ（DMF フィルタ）をフォトダイオード表面に直接堆積することにより構成され、ある特定波長域の光信号のみを検出するコンパクトな波長選択素子を提案し、その設計・作製技術を確立することを目的とした。

#### 3.1 多波長 OEIC のための波長選択素子

誘電体多層膜フィルタ（DMF フィルタ）は、図 5 に示されるように屈折率の違う物質を交互に積層することによって構成される縦型構造の光学フィルタである。本フィルタにおいては、各層の膜厚および層数を設計することにより、図 5 に示されるようなさまざまな波長選択特性を実現することが可能である。多波長 OEIC のための波長選択素子としては、簡単なプロセスで複数種類の波長特性をチップ上の任意の場所に作成できることが望

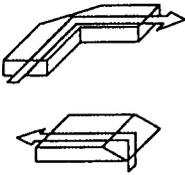
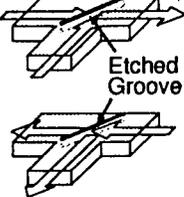
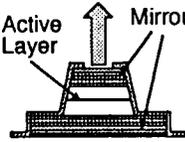
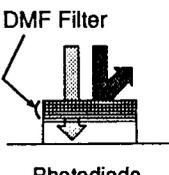
Waveguides		Opto-Electronic Devices	
Turning Mirror	Multiplexor/ Splitter	Surface Emitting Laser	Wavelength Detector
			
Polyimide on Si Focused Ion Beam Milling Width <math>< 10 \mu\text{m}</math>		Wavelength Control by Layer Thickness Diameter <math>< 15 \mu\text{m}</math>	Dielectric Layers on Photodiode Thickness <math>< 4 \mu\text{m}</math>

図 4: 光多重コンピューティングのための集積素子

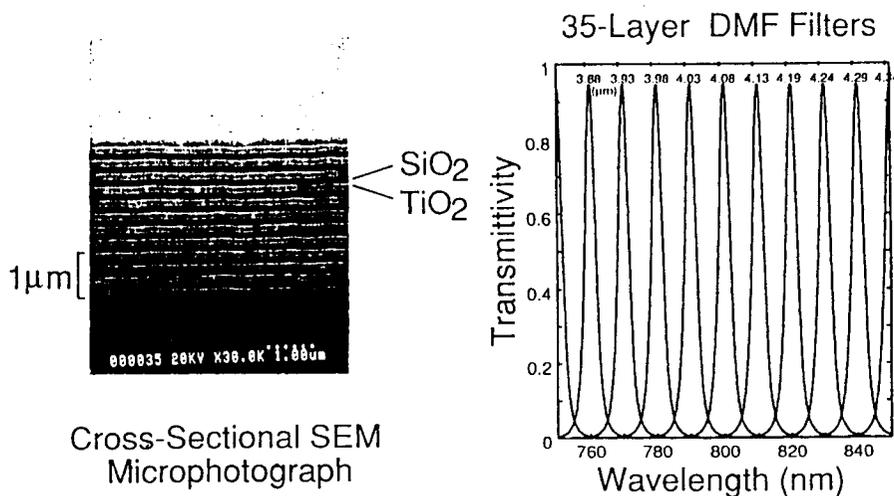
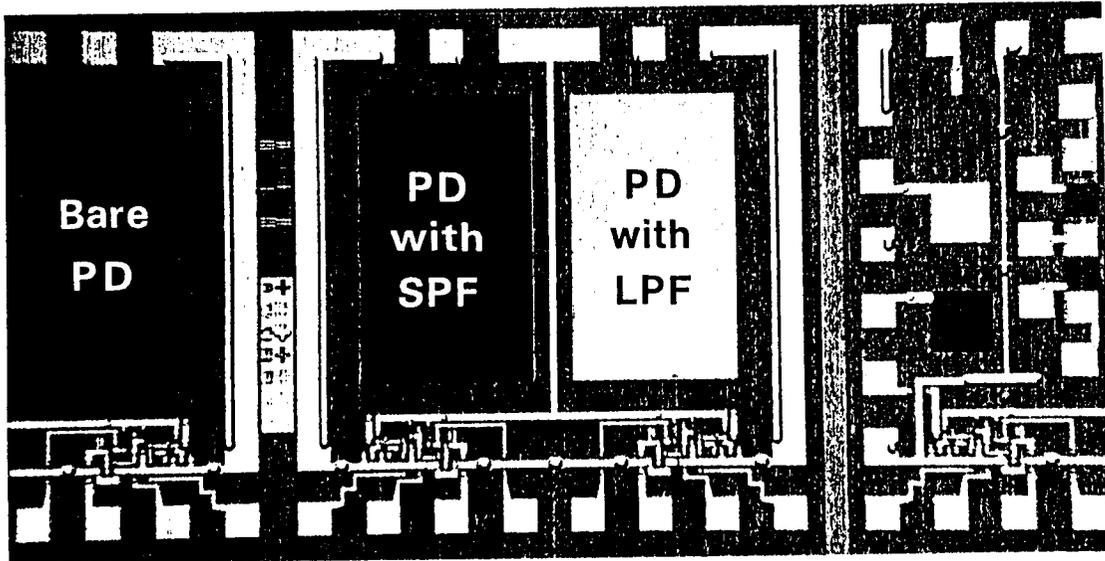


図 5: 誘電体多層薄膜フィルタ

まれる。そこで、このような条件に対する DMF フィルタの適合性を調べるために、波長特性の異なる 2 種類の DMF フィルタと pn フォトダイオードを組み合わせた波長選択素子の試作を行った。

DMF フィルタを構成する誘電体としては、熱や化学薬品、湿度に対する耐性があること、集積回路プロセスに導入しても素子特性に影響しないことを考慮に入れて SiO<sub>2</sub> と TiO<sub>2</sub> を選択した。DMF フィルタの蒸着ならびにパターンニングは、通常の集積回路プロセスの配線工程直前に組み込まれた。Al 配線を行う前の段階のウェーハに対して、まず全面に Al を蒸着し、DMF フィルタのパターンをエッチングした。このようにして作成された Al パターンは、DMF フィルタのリフトオフ用のマスクとして働くことになる。次に、ウェーハ全面に基板温度 300°C、真空度  $1 \times 10^5 \text{Torr}$  の条件下で、電子ビーム蒸着法によって 24 層の DMF フィルタを堆積した。その後、Al ごと不要な DMF フィルタをリフトオフし、



PD:  $16 \times 16 \mu\text{m}^2 \sim 1300 \times 750 \mu\text{m}^2$

図 6: 試作チップ

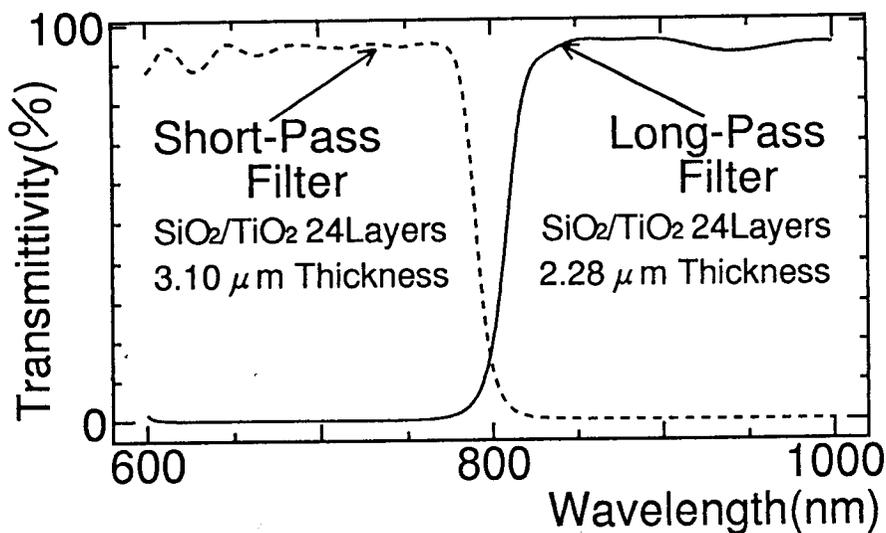


図 7: 試作した DMF フィルタの波長特性

パターニングを行った。今回の試作では、2種類の DMF フィルタを1チップ上に作成するために、以上のプロセスを2回繰り返した。

図 6 に試作したチップ写真を示す。チップ中には、 $16 \times 16 \mu\text{m}^2 \sim 1300 \times 750 \mu\text{m}^2$  の範囲のさまざまなサイズの波長選択素子が形成されている。さらに、各素子にはトランスインピーダンス型の増幅器が付加されており、光電流を電圧信号として取り出せるようになっている。図 7 に蒸着した2種類の DMF フィルタの特性を示す。チップ上の波長選択素子の性能を確かめるために、 $670 \text{nm}$  と  $830 \text{nm}$  の波長の光信号を多重化してチップ上に照射

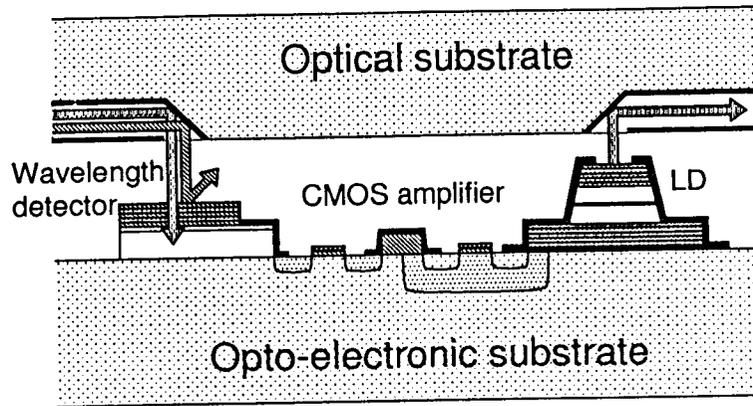


図 8: 多波長 OEIC の構成

し、各波長選択素子からの出力信号を測定した結果、良好な動作を確認した。

一方、本素子の問題点として、DMF フィルタに光が斜めに入射すると、その特性が短波長側にシフトしてしまうことが判明した。多波長 OEIC では導波路内の光の伝搬モードの違いや回折効果によって、波長選択素子に入射する光は角度分布を持つことが予想される。これに伴う波長特性の劣化が多波長 OEIC で使用可能な波長数を制限する 1 つの要因になると考えられる。

### 3.2 多波長 OEIC で使用可能な波長数

図 8 に示したように導波路と電子回路を別基板で構成する場合を想定して、多波長 OEIC で使用可能な波長数の限界に関して考察する。波長数を制限する要因としては、まず光の斜め入射による DMF フィルタ特性のシフトが挙げられる。ミクロンオーダーに集積化した導波路の場合には、その出力光の広がりや回折効果による影響が主となり、フィルタ特性のシフト量  $\Delta\lambda_d[nm]$  は導波路幅  $\delta$  の関数  $\Delta\lambda_d(\delta)$  と表せる。次に、OEIC 製造プロセスの精度も制限要因となる。ここでは、プロセスに起因するレーザダイオード並びに DMF フィルタの波長特性の誤差が  $\pm\Delta\lambda_p[nm]$  以内であるとする。さらに、第 3 の要因として、レーザダイオードの制御可能波長幅の制限がある。レーザダイオードに一種類の化合物半導体を用いる場合、制御できる波長幅は  $40nm$  程度である。以上の点を考慮に入れると、使用可能な波長数  $n$  は、

$$n = \frac{40}{4\Delta\lambda_p + \Delta\lambda_d(\delta)} \quad (1)$$

で表される。図 9 に、 $\Delta\lambda_p$  ならびに  $\delta$  を変化させた場合の  $n$  の値をプロットした結果を示す。例えば、 $\delta = 5\mu m$  の場合には、 $\Delta\lambda_p = 1nm$  であれば 7~8 波長程度が使用できる。一方、導波路幅  $\delta$  が  $1\mu m$  程度になると回折効果による物理的な制限が顕著になる。この場合、何

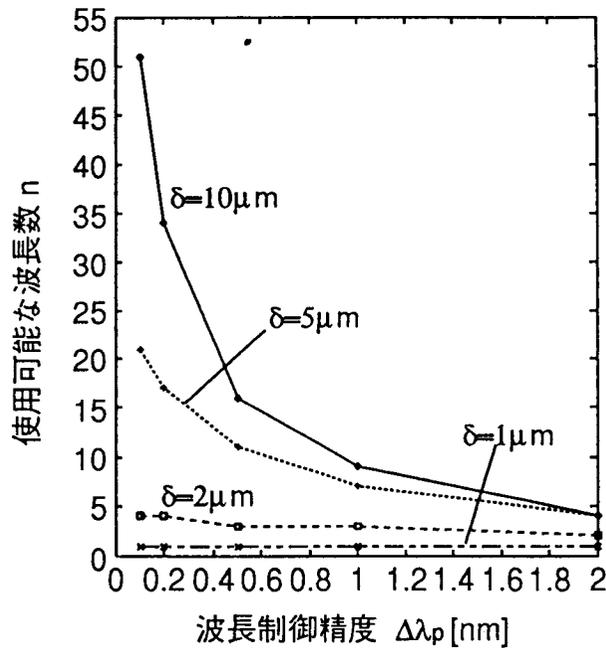


図 9: 多波長 OEIC で使用可能な波長数

らかの方法で光線をコリメートするなどの工夫が必要となると考えられる。

#### 4 多波長インタコネクションとその応用

本研究における波長選択素子の開発により、多波長 OEIC に必要な要素技術はほぼ出そろったことになる。ただし、これらの光電子集積技術は、現在、小・中規模集積の水準にある。したがって、汎用的な光多重 VLSI の実用化のためには、今後一層の技術開発が必要であると考えられる。一方、配線問題が特に深刻な専用ハードウェアにおいては、その配線部分のみについて光多重コンピューティングの概念を用いることにより、現時点でも実用上大きな利点が見いだせると考えられる。この典型例として、マルチチップモジュール (MCM) におけるチップ間通信に多波長インタコネクションを適用した場合の概念図を図 10 に示した。

このような上位レベルのアーキテクチャ、特に並列処理の通信構造等においては、複雑な通信トポロジーを波長空間に埋め込むことにより、配線の複雑さを劇的に減少させることが可能である。ここでは、このようなアーキテクチャの一例として、パーフェクトシャッフル結合に基づく並列処理システムを取り上げ、多波長インタコネクションの効果について考察する。

シャッフル結合アーキテクチャは FFT, 多項式評価, スイッチングネットワーク等に広く応用されているアーキテクチャである。図 11 にパーフェクトシャッフルの結合パターン

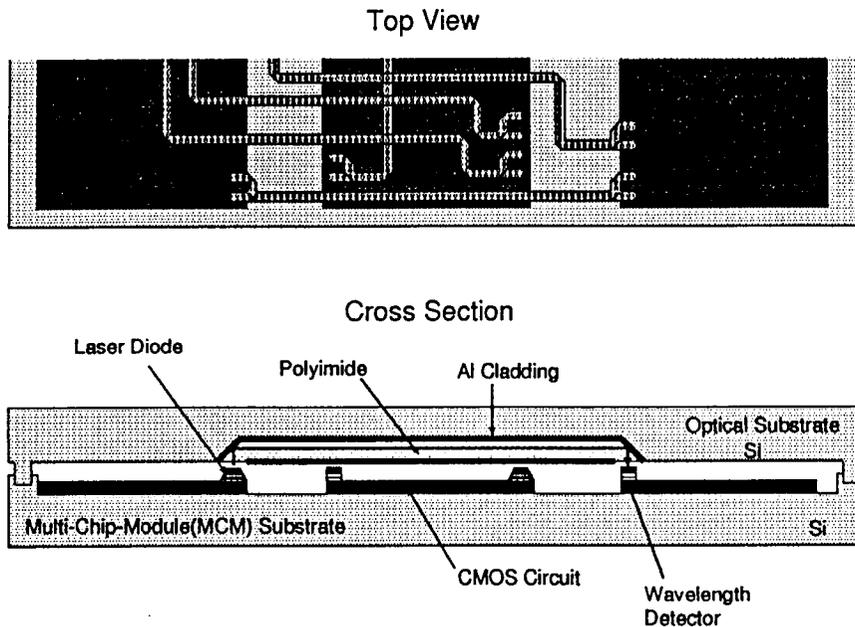


図 10: MCM チップ間通信への多波長インタコネクションの応用

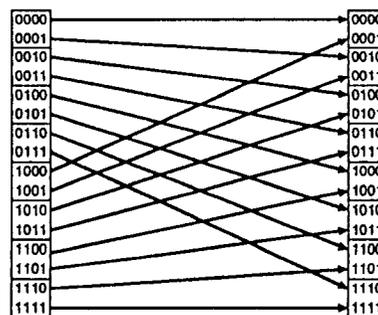


図 11:  $N = 16$  の場合のパーフェクトシャッフル

を示す。それぞれ  $N = 2^p$  個 ( $p$  は自然数) の出力ノード (左) と入力ノード (右) が与えられた時、2進数表現で  $(x_{p-1}x_{p-2}\cdots x_1x_0)$  の番号の出力ノードは  $(x_{p-2}\cdots x_1x_0x_{p-1})$  の入力ノードに結合される。ここで考えるアーキテクチャは、PE が  $k$  ステージ存在し、それらのステージ間がパーフェクトシャッフルによって接続されたものである。

以下では、多重度  $r = 2$  の仮定のもとで多重化の方法について議論を進める。 $r = 2^s$  種類の波長で多重化を行う場合には、2 多重化を  $s$  回繰り返せば良い。パーフェクトシャッフルの重要な性質は、出力側のノードでその2進数アドレスの最上位ビットのみが異なるノード同士を多重化すると、広域的だった配線を隣接する PE 間のみで局所化できることである。この原理により、例えば8入力4段のシャッフル結合アーキテクチャは図12のように多重化される。ただし1段目のパーフェクトシャッフルの配線を局所化させるためには、波長  $\lambda_0$  と  $\lambda_1$  の間での波長変換が必要となる。1段目において多重化方法が決まると、連鎖

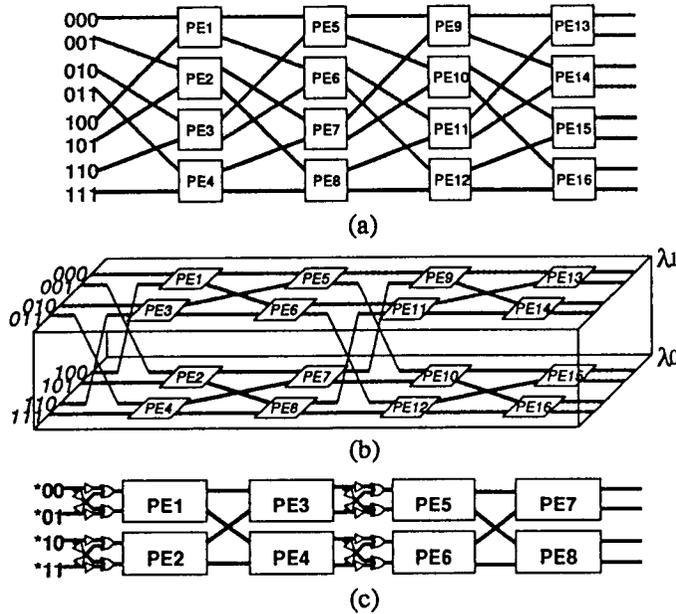


図 12: シャッフル結合アーキテクチャの多重化: (a) 8 入力 4 段 パーフェクトシャッフルネットワーク, (b) 波長平面への割り当て, (c) 2 多重化パーフェクトシャッフルネットワーク

的にすべての段の多重化方法が一意に決定する。

$N (= 2^p)$  入力,  $k$  段で, データの語長が  $q$  ビットであるシャッフル結合アーキテクチャの面積について考察する. このとき PE 1 個の大きさを縦  $x$  横  $y$  とし, この大きさは多重化によっても不変であるとする. 1 波長のみを用いた場合のシャッフル結合アーキテクチャ全体の面積  $S_1$  は次のように表せる.

$$S_1 = \frac{1}{2} k q x \delta N^2 + \frac{1}{2} k x y N \quad (2)$$

上式において, 第 1 項目は配線の面積を, 第 2 項目は PE の面積をそれぞれ表している.

次に,  $r (= 2^s)$  種類の波長を用いて多重化する場合を考える. 配線の局所化のための波長変換に必要とされる面積は PE のそれに比べて小さく無視出来るとすれば,  $r$  多重化した場合の面積  $S_r$  は次のように表せる.

$$S_r = \frac{1}{2} \left( k - \left\lceil \frac{\log_2 r}{\log_2 N - 1} k \right\rceil \right) q x \delta \left( \frac{N}{r} \right)^2 + \frac{1}{2} k x y N \quad (3)$$

これは  $r$  種類の波長を用いて多重化することにより,  $N$  入力  $k$  ステージのシャッフル結合アーキテクチャが,  $N/r$  入力  $(k - \lceil \frac{\log_2 r}{\log_2 N - 1} k \rceil)$  ステージのシャッフル結合アーキテクチャに減少することを意味している.

以上の結果をもとに多重度  $r$  の関数として  $S_r/S_1$  をプロットし, 多重化の効果を調べる (ただし  $N = 64, k = 6$  とした). 多重度  $r = 1$  の場合の全体の面積を  $S_1$ , PE が占める面積を  $S_{PE}$  とした場合,  $r$  が増加するにつれ  $S_r/S_1$  は  $G = S_{PE}/S_1$  へと漸近的に減少する. 言い換えると, 多重化の効果は  $G$  によって表される PE の「粒度」に依存する.

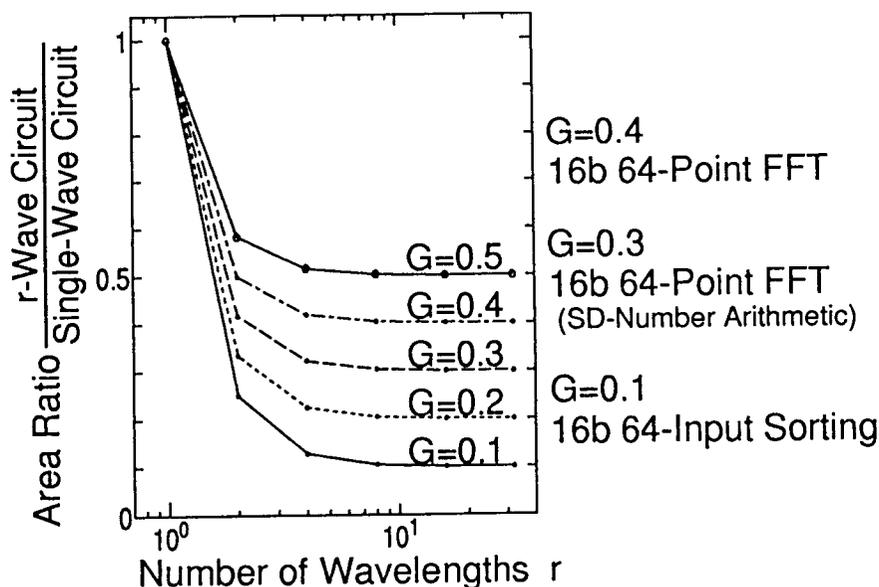


図 13: シャッフル結合アーキテクチャにおける多波長インタコネクションの効果 ( $N = 64$ ,  $k = 6$ )

図 13 に  $G = 0.1, 0.2, 0.3, 0.4, 0.5$  の場合に関して  $S_r/S_1$  をプロットした結果を示す。  $r$  が小さいところで急激な減少が見られるが、これは結合の局所化によって配線面積が  $1/r^2$  以下に減少するからである。 図中には、粒度のパラメータ  $G$  の値に対応する典型的な応用例も示してある。 例えばソーティングのような応用では、PE が小さく回路のほとんどが配線によって占められてしまうために多重化の効果が大きい。 すなわち粒度の小さい高並列処理において特に光多重コンピューティングが有効になると考えられる。 前節で導出された波長数 7~8 が実際に使用可能であるとすると、64 入力程度のパーフェクトシャッフル結合の場合、配線領域はほとんど無視できる程度に減少することがわかる。

## 5 まとめ

本研究では、集積化光多重コンピューティングを実現する際の鍵になるコンパクトな波長選択素子を設計するとともに、本素子を複数個集積化した多波長受光 IC を試作した。 さらに、本チップの開発を通じて、次世代の集積回路において複数の波長を情報担体として用いる際の技術課題および使用可能な波長数の限界等を明らかにした。

現在の技術レベルでは、大規模な光多重コンピューティングシステム全体を集積化することは困難であると考えられる。 しかしながら、波長空間通信の原理自体は、近い将来、チップ間あるいはチップ内通信において特長ある応用が可能であると期待される。

## 謝辞

本研究に対し、多大なるご援助を頂いた財団法人 石田（實）記念財団に深く感謝申し上げます。

## 参考文献

- [1] 青木孝文, 前田修一, 樋口龍雄, “波長多重光電子集積回路モデルに基づく集合論理回路網の構成,” 電子情報通信学会論文誌 (D-I), Vol. J75-D-I, No. 7, pp. 419–430, July 1992.
- [2] S. Maeda, T. Aoki, and T. Higuchi, “Toward multiwave opto-electronics for 3-D parallel computing,” *ISSCC Digest of Technical Papers*, pp. 132–133, February 1993.
- [3] S. Maeda, T. Aoki, and T. Higuchi, “Optical multiplex computing based on set-valued logic and its application to parallel sorting networks,” *IEICE Trans. Inf. & Syst.*, Vol. E76-D, No. 5, pp. 605–615, May 1993.
- [4] T. Aoki, S. Maeda, and T. Higuchi, “Design of optical circuits for multiplex computing based on set-valued logic,” *OSA (Optical Society of America) Applied Optics*, Vol. 32, No. 35, pp. 7170–7183, December 1993.
- [5] T. Aoki, Y. Yuminaka, and T. Higuchi, “Design of frequency-mode set-valued logic networks,” *IEE Proceedings-G*, Vol. 140, No. 3, pp. 191–198, June 1993.
- [6] R. Selvaraj, H. T. Lin, and J. F. McDonald, “Integrated optical Waveguides in polyimide for wafer scale integration,” *IEEE J. Lightwave Technol.*, Vol. 6, No. 6, pp. 1034–1044, June 1988.
- [7] C. J. Chang-Hasnain, J. P. Harbison, C. Zah, M. W. Maeda, L. T. Florez, N. G. Stoffel, and T. Lee, “Multiple wavelength tunable surface-emitting laser arrays,” *IEEE J. Quantum Electron.*, Vol. 27, No. 6, pp. 1368–1376, June 1991.

## 本研究に関連する発表論文等（1994年）

1. T. Aoki, Y. Watanabe, T. Higuchi, S. Kawahito, and Y. Tadokoro, "Multiwave computing circuits using integrated opto-electronic devices," *ISSCC Digest of Technical Papers*, pp. 134-135, February 1994.
2. Y. Watanabe, T. Aoki, and T. Higuchi, "Design of multiwave computing circuits based on a model of integrated opto-electronic devices," *Proc. 24th IEEE Int'l Symp. Multiple-Valued Logic*, pp. 215-222, May 1994.
3. T. Takimoto, T. Aoki, and T. Higuchi, "Design of multiplex interconnection networks for massively parallel computing systems," *Proc. 24th IEEE Int'l Symp. Multiple-Valued Logic*, pp. 231-238, May 1994.
4. Y. Yuminaka, T. Aoki, and T. Higuchi, "Design of wave-parallel computing circuits for densely connected architectures," *Proc. 24th IEEE Int'l Symp. Multiple-Valued Logic*, pp. 207-214, May 1994.
5. 渡辺, 青木, 樋口: "多波長 OEIC モデルに基づくシャッフル結合アーキテクチャの構成と評価", 1994 年度電子情報通信学会春季大会, C-638, March 1994.
6. 瀧本, 青木, 樋口: "高並列多重相互結合網の系統的設計", 1994 年度電子情報通信学会春季大会, D-139, March 1994.
7. 渡辺, 青木, 樋口: "多波長光電子集積回路モデルに基づく光多重演算システムの構成と評価", 信学技報 (電子情報通信学会集積回路研究会), ICD94-12, pp. 81-88, April 1994.
8. 渡辺, 青木, 樋口: "集積化光多重コンピューティングのための波長選択素子に関する基礎的考察", 1994 年度電子情報通信学会秋季大会, C-254, September 1994.