

平成7年度
石田（實）記念財団研究助成
研究成果報告書

低損失高速MOS形ダイオードの検討

平成8年11月22日

菅原 文彦

東北学院大学工学部電気工学科

1. はじめに

近年、ノートパソコンやビデオカメラ、さらに携帯電話などの普及に伴い、携帯機器等のバッテリー充電回路等に使用される整流ダイオードの順方向電圧降下をより小さくし、低損失化を図ろうとする要求が生じている。

現状においては、この要求を満たすダイオードとして、ショットキーバリアダイオード⁽¹⁾、または金属・酸化膜・半導体電界効果トランジスタ⁽¹⁾（以下、MOSFET）を用いた同期整流ダイオード⁽²⁾が挙げられる。

しかしながら、ショットキーバリアダイオードにおいては、順方向電圧降下の低減化のために電位障壁を小さくすると、逆方向リーク電流の増加を招き、かつ温度上昇により逆方向リーク電流が増大するという問題がある。このような理由のため、現状のショットキーバリアダイオード⁽³⁾、⁽⁴⁾、⁽⁵⁾においては、0.3 V以下のオン電圧動作は困難となっている。

一方、MOSFETを用いて3端子動作によりダイオード化を図った同期整流ダイオードは、ショットキーバリアダイオードに比べて、オン電圧が小さくできる可能性はあるが、整流のための同期用制御ゲート信号が必要となり、ゲート回路の損失が増大するという問題がある。このため、ゲート回路損失を含めた全損失は、ショットキーバリアダイオードと同程度となってしまう。

近年、チャネルダイオード⁽⁶⁾と呼ばれる、MOSFET構造のダイオード化を図ったデバイスが提案されている。このデバイスにおいてはゲート信号は不要となるが、一定電圧のゲートバイアスを必要とする3端子動作となっている。

本研究は、上記の同期形整流ダイオード及びチャネルダイオードの問題点を克服するため、ゲート信号を用いずに、自己バイアスによりMOSFET構造を導通させ、2端子動作を図った自己同期形のダイオードの開発を目的としている。

この提案のダイオードは、MOSゲートのしきい値電圧を低減化することにより、低オン電圧化が可能となる。また、MOSFET動作により高速スイッチング動作と良好な温度特性が期待できる。

本報告においては、提案のダイオードの動作原理及び特徴、電流電圧特性シミュレーション及び試作結果について報告する。

2. 提案のMOS形ダイオードの原理

本提案のダイオードの構造を図1に示す。本デバイスは、通常の2重拡散MOSFET構造を用いているが、2端子動作でかつ整流性を得るために、 P_B と N_S^+ の短絡構造を持たず、かつソース電極Sとゲート電極Gを短絡している。

ドレイン電極に対して、ソース電極Sに正電圧を印加すると、接合 J_J が逆バイアス電圧となり、この接合 J_J と並列構成にあるMOSゲートにも実効的なゲート電圧が印加される。この印加電圧が小さな間は、MOSゲート直下の P_B 領域表面は空乏化しているが、印加電圧がMOSゲートのしきい値電圧以上になると、反転層が形成される。その結果、領域 N_D^+ の多数キャリアが領域 N_B 及び反転層を経由し、ソース領域 N_S^+ に達して導通状態となる。

従って、本デバイスの順方向は通常のMOSFETと反対の電流方向となる。さらに、MOSゲートGのしきい値電圧低減化により、かなり小さなオン電圧で導通することが可能となり、0.3 V以下のオン電圧が期待できる。

上述の極性とは反対方向の電圧を印加した場合は、印加電圧のほとんどは、接合 J_J の逆バイアス電圧として費やされることになり、接合 J_J にはわずかな順バイアス電圧しか印加されない。従って、接合 J_J と並列構成にあるMOSゲートにも、ほとんど電圧は印加されないため、MOSゲート直下の領域には、電気的な変化は生じない。そのため、この極性においては、逆バイアス接合の J_J に印加電圧が費やされるだけで、非導通状態となる。

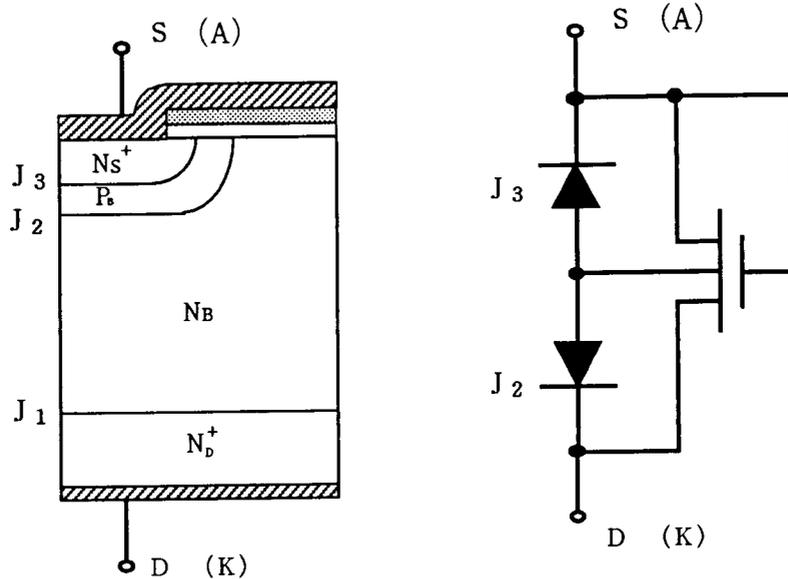


図1 提案のダイオードの構造と等価回路モデル

以上のように、本デバイスにおいては、整流作用を有し、かつ従来の同期整流およびチャネルダイオードとは異なり、自己バイアスがMOSゲートに加わるようにしているため、ゲート信号及びバイアスが不要となる。また、多数キャリア動作のため、高速スイッチングも達成でき、MOSFET構造であるため、良好な温度特性を持つ。さらに、提案のデバイスは構造が非常に簡単で、通常のDMOSFETにおける深いボデー層が不要であるため、より高集積化が可能となる。

3. 基本的設計

本提案のダイオードの順方向においては、MOSゲートのしきい値電圧から導通し、導通後はMOSFETのオン抵抗で決定される電流電圧特性を持つ。従って、低オン抵抗化のためには、しきい値電圧とMOSFETのオン抵抗の低減化が必要となる。

しきい値電圧 V_T の式は次式で与えられる。

$$V_T = V_{FB} + \frac{\sqrt{4\epsilon_{Si}\bar{N}_A\phi_B}}{C_{OX}} + 2\phi_B \quad (1)$$

V_{FB} : フラットバンド電圧

ϵ_{Si} : Siの誘電率

\bar{N}_A : Pボデー層の平均密度

ϕ_B : フェルミポテンシャル

n_i : 真性半導体のキャリア密度

$$\dots \quad \phi_B = \frac{kT}{q} \ln\left(\frac{\bar{N}_A}{n_i}\right)$$

$$C_{OX} : \text{単位面積当たりのMOSゲート容量} \quad \dots \quad C_{OX} = \epsilon_{OX} \frac{1}{d_{OX}}$$

ϵ_{OX} : ゲート酸化膜の誘電率

d_{OX} : 酸化膜厚み

式(1)における第1項目のフラットバンド電圧は通常負の値となり、 $-V_{FB}$ はゲートバイアス電圧

が0 Vの状態、等価的に存在するゲート電圧とみなせる。また、第2項と第3項は強い反転が生じる場合にゲート酸化膜及び半導体表面にそれぞれ印加される電圧に相当する。ここで、フラットバンド電圧は次式で与えられる。

$$V_{FB} = -\frac{kT}{q} \ln\left(\frac{\bar{N}_{P_0} \cdot \bar{N}_A}{n_i^2}\right) - \frac{Q_{SS}}{C_{OX}} \quad (2)$$

\bar{N}_{P_0} : ポリシリコンゲートの平均不純物密度

Q_{SS} : 酸化膜の界面電荷密度

式(2)より、フラットバンド電圧は主として2つの要因からなり、第1項目は、ポリシリコンゲートと半導体の仕事関数差であり、第2項目は界面電荷密度による成分となる。しきい値電圧の低減化のためには、 V_{FB} の絶対値は大きい方が良いため、ポリシリコンの平均密度 N_p と酸化膜の界面電荷密度 Q_{SS} ⁽⁷⁾は大きいほどよい。但し、界面電荷密度 Q_{SS} はシリコン結晶の面方向に大きく依存し、(111)面の場合、(100)面に比べ一桁大きい 10^{11} cm^{-2} 程度となっている。従って、提案のデバイスにとっては、(111)面を採用した方が、低オン電圧化が達成しやすい。

しきい値電圧低減化の他の要因としては、式(1)より、酸化膜厚を薄くし、かつチャネルが形成されるPボデー層の平均密度を低下させることが重要となる。

ダイオードが導通してからのオン抵抗は、MOSFETの抵抗で決定される。この抵抗は主として、チャネル抵抗とバルク内部の抵抗に分けられる。チャネル抵抗は次式で与えられる。

$$R_{ch} = \frac{L}{Z} \frac{1}{\mu_n C_{OX} (V_G - V_T)} \quad (3)$$

L : チャネル長, Z : チャネル幅

μ_n : 移動度, V_G : ゲート電圧

式(3)より、チャネル抵抗の低減化には、チャネル長を短く、チャネル幅を大きくすること、すなわちチャネルの集積度を増大させることが重要となる。また、チャネルの移動度を低下させないために、ボデー層の平均密度を下げる、さらに、しきい値電圧を下げることも効果がある。従って、しきい値電圧とチャネル抵抗の低減化は両立できる。

一方、バルク抵抗の低減化にとっては、基板密度を高くするのが望ましい。しかしながら、基板密度を高くすることは、必然的にその基板上に拡散すべきボデー層の平均不純物密度を増加させるので、しきい値電圧及びチャネル抵抗の増大を招いてしまう。従って、耐圧に応じて、最適な基板密度を設定する必要がある。

さらに、デバイスのオン抵抗は、パターン形状にも支配されるので、チャネルが効率よく集積化され、バルク抵抗も小さくなるようなパターン形状を採用する必要がある。

4. Pao-Sahモデルを用いた電流電圧特性シミュレーション

前述のように、チャネル抵抗とバルク抵抗の間には、トレードオフ関係があり、両者とも減少させるのは難しく最適な制御が要求される。また、ダイオードの低オン電圧特性と逆方向特性もトレードオフ関係がある。従って、最適設計を行うには、デバイス性能を支配するほとんどのパラメータが考慮でき、かつ順方向及び逆方向両特性を総合的に検討できる電流電圧特性シミュレーションが必要となる。このシミュレーションとして、Pao-Sahモデル⁽⁸⁾を採用し、本提案のダイオード動作に応用してある。

PaoとSahは、長チャネルMOSFETにおいて、ドリフト電流成分と拡散電流成分の両方を考慮した電流電圧特性のモデルを提案している。このモデルにおいては、反転層における過剰電子密度を積分形で表現し、かつグラデュアル近似を用い、ソースドレイン間の電子の擬フェルミ準位の変化がほぼ一定(電界一定)として、ドレイン電流を算出している。ソースドレイン間の印加電圧を V_D とする場合、電流は次式となる。

$$I_D = -\frac{q}{\sqrt{2}} \frac{Z}{L} \mu_n \frac{L_D n_{p0}}{V_T} \int_0^{V_D} \int_{\phi_B}^{\phi_S} \frac{e^{\beta(\phi-V)}}{F(\beta\phi, V, \frac{n_{p0}}{p_{p0}})} d\phi dV \quad (4)$$

ここで、関数 F は次式で与えられる。

$$F(\beta\phi_S, V, \frac{n_{p0}}{p_{p0}}) = [(e^{-\beta\phi_S} + \beta\phi_S - 1) + \frac{n_{p0}}{p_{p0}} e^{-\beta V} (e^{-\beta\phi_S} - \beta\phi_S - 1)]^{\frac{1}{2}} \quad (5)$$

一方、ゲート電圧 V_G と表面電位 ϕ_s の関係は次式で与えられる。

$$V_G - V_{FB} = \frac{\sqrt{2} k T \epsilon_s}{q L_D C_{OX}} F(\beta\phi_S, V, \frac{n_{p0}}{p_{p0}}) + \phi_S \quad (6)$$

上式は、実効的に酸化膜及び半導体に印加される電圧を示しており、右辺第1項は酸化膜に印加される電圧、第2項は半導体表面に印加される電圧となる。

ソースドレイン間に電圧が印加された場合は、図2 (d) の様にチャネルの位置により電位が異なるため、表面電位 ϕ_s も位置により変化する。従って、式 (6) を用いて、表面電位 ϕ_s を算出し、式 (4) の電流の計算に用いる。提案のダイオードにおいては、ゲート電圧はドレイン電圧と等しくなるので、次式が成立する。

$$V_G = V_D \quad (7)$$

この条件を式 (6) に入れ、式 (4) を用いて V_D に対応する電流 I_D が算出できる。さらに図3のバルク内部の抵抗を考慮することで、実際の素子の端子電圧が次式のように算出できる。

$$V_{ON} = V_D + I_D R_{ON} \quad (8)$$

ここで、内部抵抗⁽⁹⁾ は、蓄積層抵抗 R_{ac} 、接合形FET抵抗 R_j 、エピ抵抗 R_{epi} 及び基板抵抗 R_{sub} の4成分からなる。

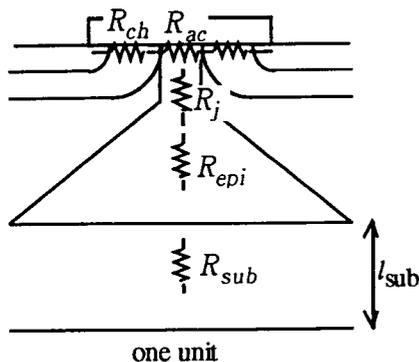


図3 MOSFETの抵抗成分

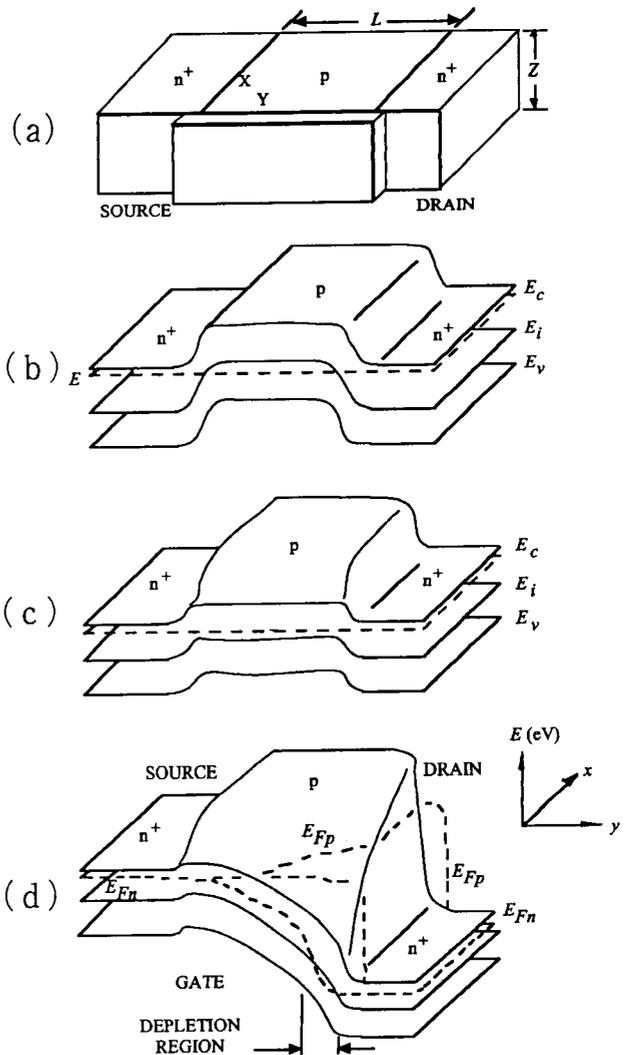


図2 バイアス印加によるチャネル部のエネルギーバンド図

上記のモデルを用いて、基板密度を変化させた場合の電流電圧特性シミュレーションを行っている。デバイス条件は、Nソース層及びPボデー層の各表面密度及び拡散深さを下記の様に固定し、基板密度を変化させている。

Nソース層： 表面密度 $N_s^+ = 10^{20} \text{ cm}^{-3}$ ， 拡散深さ $X_{js} = 1 \mu\text{m}$
 Pボデー層： 表面密度 $N_s^+ = 3 \times 10^{18} \text{ cm}^{-3}$ ， 拡散深さ $X_{js} = 1.5 \mu\text{m}$

実際の計算においては、上記のデバイスプロファイルをガウス分布と仮定しチャンネルが形成されるPボデー領域の平均密度を用いている。また、しきい値電圧の低減化のために、結晶面(111)面にゲート酸化膜を形成することを想定し、酸化膜界面電荷密度 $Q_{ss} = 3.5 \times 10^{11} \text{ cm}^{-2}$ としている。

さらに、逆方向のリーク電流もPao-Sahモデルを用いて計算可能となるが、逆方向においては、ソースを基準としたゲート電圧は0Vとなる。

図4及び図5に、それぞれ順方向及び逆方向の電圧電流特性を示す。これらの特性においては、基板密度は、 $5 \times 10^{15} \text{ cm}^{-3}$ から $2 \times 10^{16} \text{ cm}^{-3}$ まで5段階に変えてある。両特性にはトレードオフ関係があり、基板密度が $5 \times 10^{15} \text{ cm}^{-3}$ 程度が低オン電圧特性と低い逆方向電流特性を両立している。

5. 試作バイスの特性

本デバイスの試作においては、結晶面(111)面、エピ成長層の抵抗率 $0.55 \Omega \text{ cm}$ (不純物密度 10^{16} cm^{-3})、厚み $4 \mu\text{m}$ 、基板の抵抗率 $0.015 \Omega \text{ cm}$ 、厚み $500 \mu\text{m}$ のSiエピタキシャル成長ウェハを用いた。

デバイスの製作プロセスは、通常のポリシリコンゲートを用いたセルフアラインプロセスで行い、不純物ドーピングにはイオン注入を用いている。デバイスパターンはリニア形状を用いており、パターンについては特に最適設計は行っていない。

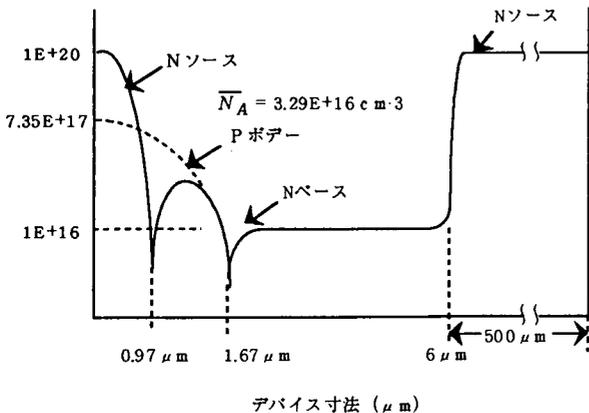


図6 試作ダイオードの不純物プロファイル

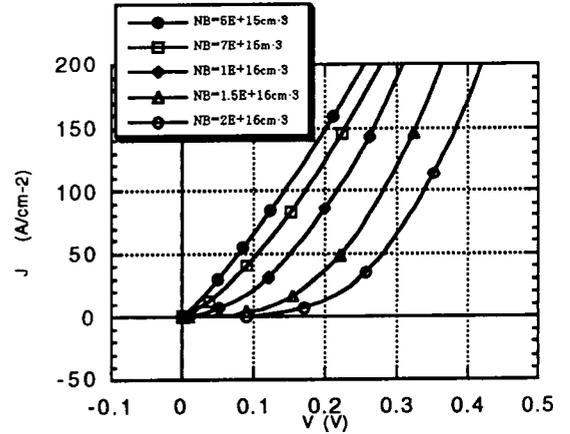


図4 順方向特性のシミュレーション

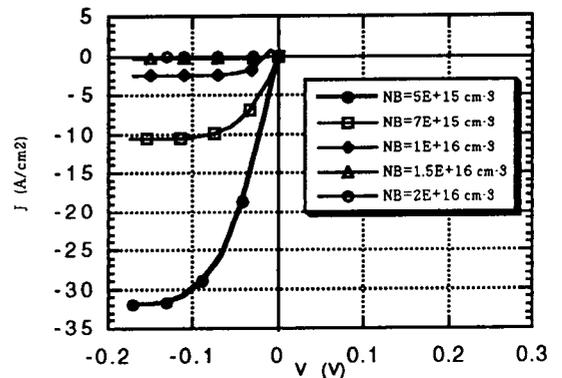


図5 逆方向特性のシミュレーション

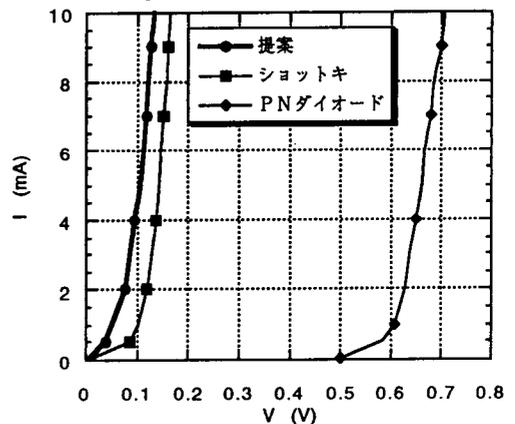


図6 同一面積のアルミショットキ及びPN接合ダイオードの順方向特性

試作したデバイスの活性領域の面積は約 1.08 m^2 であり、ゲート酸化膜厚は約 280 \AA となっている。また、デバイスの不純物プロファイルは図6に示してある。

このデバイスと比較のために作製したアルミショットキダイオード及びPN接合ダイオードの特性を図7に示す。提案のデバイスはアルミショットキダイオードよりも低いオン電圧を実現し、 100 mA (約 10 A/cm^2) で 0.24 V となっている。

試作したデバイスは、チャンネル幅が小さくかつその集積効率が低い、最適化を図ることで、同じ端子電圧でも、現在の約5倍の電流値になることが予想される。従って、ショットキダイオードでは実現困難な順方向電流密度 50 A/cm^2 において、 0.3 V 以下のオン電圧動作が期待できる。

図7には、試作デバイスの実測及びシミュレーションの電流電圧特性を示している。実測と計算結果がよく一致し、シミュレーションの妥当性が確認できる。

図8に観測した提案のデバイスの逆回復特性を示す。また、比較のために作製したアルミショットキダイオードの特性も図9に示す。

提案のデバイスは、順方向に 10 mA の電流を流しており、逆回復時間は約 30 nsec であった。一方、アルミショットキダイオードは約 40 nsec であった。

以上の測定結果より、提案のデバイスはアルミショットキダイオードと同程度の高速度動作が期待できる。

6. まとめ

本研究においては、同期信号が不要となる新しい動作機構を持つMOS形ダイオードに関して、電流電圧特性シミュレーション及び試作評価を行った。その結果について以下にまとめる。

- (1) Paol-Sahモデルを用い、低オン電圧と逆方向特性が両立できる基板密度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 程度であった。

- (2) 上記の基板密度で、ゲート酸化膜約 280 \AA を持つデバイスを試作した結果、順方向電流密度 10 A/cm^2 でオン電圧 0.24 V の低オン電圧特性が観測され、提案のデバイスの妥当性及びシミュレーションの妥当性を確認した。

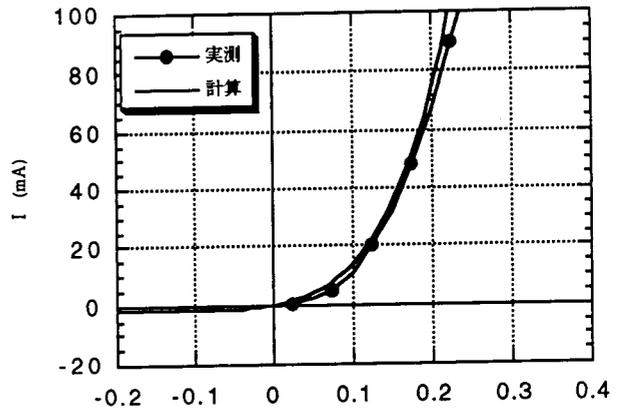


図7 試作デバイスの実測及びシミュレーションの電流電圧特性

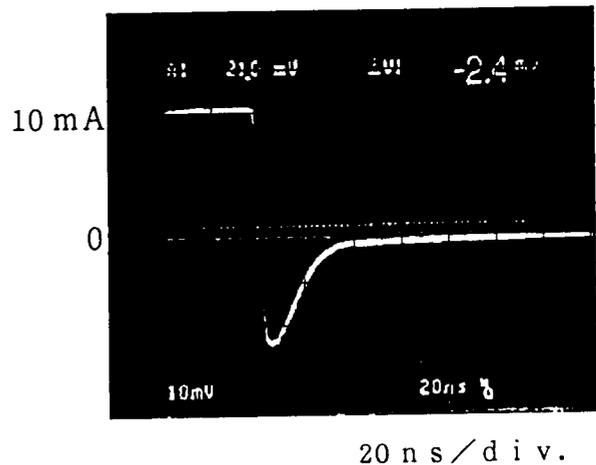


図8 試作デバイスの逆回復特性

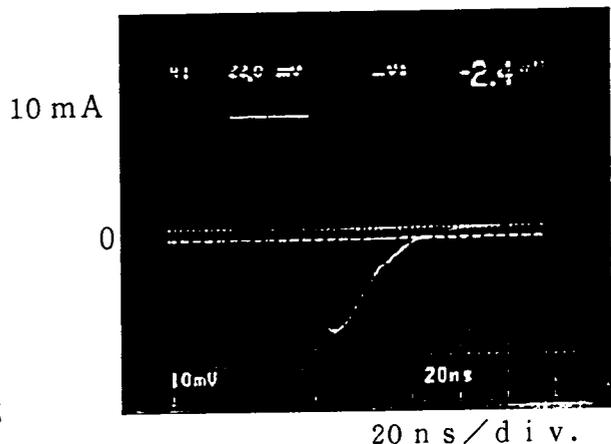


図9 アルミショットキダイオードの逆回復特性

(3) 逆回復特性においては、提案のデバイスはアルミショットキダイオードと同程度の高速性を示すことを確認した。
今後さらに、不純物プロファイル、ゲート酸化膜厚及びパターン形状の最適化を図りたい。
最後に、本研究に対してご援助頂きました石田（實）記念財団に深く感謝致します。

参考文献

- (1) S.M.Sze, Physics of Semiconductor Devices, John Wiley & Sons., 1981.
- (2) Y. Fukumochi, I. Suga and T. Ono, " Synchronous Rectifiers using New Structure MOSFET," Proceedings of International Symposium on Power Semiconductor Devices & ICs, pp.252-255, 1995.
- (3) H. Kozaka, M. Takata, S. Murakami and T. Yatuso, " Low Leakage Current Schottky Barrier Diode," Proceedings of International Symposium on Power Semiconductor Devices & ICs, pp.66-71, 1992.
- (4) S.Kunori, J.Ishida, M.Tanaka, M.Wakatabe, T.Kan, " The Low Power Dissipation Schottky Barrier Diode with Trench Structure," Proceedings of International Symposium on Power Semiconductor Devices & ICs, pp.66-71, 1992.
- (5) M. Mehrotra and B.J. Baliga, " Trench MOS Barrier Schottky (TMBS) Rectifier ; A Schottky Rectifier with Higher than Parallel Plane Breakdown Voltage," Solid-State Electronics Vol.38, No.4, pp.801-806, 1995.
- (6) H.P. Yee, P.O. Lauritzen and S.S.Yee, " Channel diode , a New Fast Swiching Power Diode, " International Symposium on Power Semiconductor Devices & ICs, pp.72-79, 1992.
- (7) A.S. Grove, B.E. Deal, E.H. Snow and C.T.Sah, " Investigation of Thermally Oxidised Silicon Surfaces Using Metal-Oxide-Semiconductor Structures, " Solid-State Electronics, Vol. 8, pp. 145-163, 1965.
- (8) H. C. PAO and C. T. SAH, " Effects of Diffusion Current on Characteristics of Metal Oxide (Insulator) Semiconductor Transistor," Solid-State Electronics, Vol. 9, pp. 927-937, 1966.
- (9) C. HU, M. CHI, and V. M. PATEL, " Optimum Design of Power MOSFET's, " IEEE Trans. Electron Devices, vol. ED=31, No.12, pp. 1693-1700, 1984.