

(財)石田(實)記念財団

平成14年度 研究助成

報告書

情報通信用多値スーパーチップの開発

東北大学電気通信研究所
ブレインコンピューティング部門
次世代コンピューティング分野
教授

羽生貴弘

1. まえがき

情報通信技術の高度化・高信頼化に対する社会的要求の高まりに伴い、各種情報通信機器の高性能化研究が盛んに行われている。特に、携帯機器の普及に伴い、高速性のみならず低消費電力性を同時に達成できる超高性能VLSIプロセッサ、すなわちスーパーチップの開発が必要となってきた。VLSIチップでは、トランジスタなどの能動素子よりも、配線領域が90%以上を占めており、この配線数増大に伴うさまざまな性能劣化が指摘されている[1]-[5]。

このようなVLSI内の配線問題を解決できる1つの回路技術として、一線上に多レベルの信号を重畳させる多値集積回路技術が知られている。著者らは、最先端の多値VLSI技術に関する研究発表を世界に先駆けて行ってきた[6]-[9]。本研究では、多値VLSI技術を活用し、高性能多値スーパーチップの開発を行う。

まず、情報通信分野へ適用する高性能VLSIプロセッサを実現するためには、処理の高速性のみならず消費電力の低減が不可欠となる。本研究では、VLSIプロセッサの低消費電力化には低消費電力電源電圧の低減が極めて有効であることを活用すると共に、演算プロセッサの遅延が入力データにより異なることに着目し、遅延に応じて電源電圧を切替えることで、消費電力を低減する方法を提案する。すなわち、ある時点の演算サイクル時に、演算プロセッサの最悪遅延に比べ、より短い遅延で出力値が得られた場合、次の演算サイクル時に電源電圧を低減することで、スループット一定条件下での低消費電力化が達成できる。また、情報通信応用の一例として、動画像圧縮処理等で重要となる動き抽出処理VLSIプロセッサに関して、本提案手法を適用し、処理の高速性と共に、消費電力を大幅に低減できることを明らかにする。

さらに、回路レベルの高性能化手法として、ソース結合形論理に基づく多値集積回路を提案する。すなわち、差動対回路が微小振幅で高い電流駆動能力を有することに着目し、これを基本ゲートとして多値演算回路を構成する手法を示すと共に、その有効性を定量的に評価した結果を明らかにする。

2. 低消費電力化の原理

まず、本研究で対象とする演算プロセッサについて述べる。演算プロセッサは同期的に動作し、一定の間隔でデータの入出力を行う。このとき、データが入出力される間隔を1サイクルとし、その時間を T_w と定義する。 T_w は演算プロセッサにおいて出力が得られる最悪時間に合わせて決定される。演算プロセッサでは、入力データによって内部状態や演算途中結果が変化することで、データの依存関係が変化すること(図1)。このため、遅延が入力データにより動的に変化する。また、このプロセッサにおいて、Nサイクル分のデータが演算されるものとする。

2.1. 低消費電力化アルゴリズム

図2(a)に提案アルゴリズムについて示す。仮定として、常に新しい入力データをラッチできるとする。はじめに入力データを演算し、1サイクル毎の演算終了のタイミング(Ack)を取得する。これより、 T_w とある演算サイクル*i*で生じる遅延との時間差を、時間マージン(T_{Mi})として測定する。今 $T_{TAR(i+1)}$ を式(1)のように定義する。

$$T_{TAR(i+1)} = T_w + T_{Mi} \quad (1)$$

次の(i+1)サイクルでは、生じる遅延 $T_{D(i+1)}$ が、

$$T_{D(i+1)} \leq T_{TAR(i+1)} \quad (2)$$

式(2)の条件を満たすように、低電源電圧で演算する。時間マージンを活用すると、遅延を $(T_{TAR(i+1)}/T_w)$ 倍にするように動作する、

$$Delay \propto V_{DD} / (V_{DD} - V_T)^\alpha \quad (3)$$

$$(V_{DD} : \text{電源電圧}, V_T : \text{閾値}, \alpha = 1.3)$$

式(3)により低電源電圧化した分、消費電力化を削減できる[10]。この動作をNサイクル行った場合を図2(b)に示す。提案手法では演算プロセッサのレイテンシが一定になるように処理を行う。Nサイクル毎に着目すると、スループット一定動作することになる。このような手法をDelayed Power Control (DPC)と呼ぶことにする。DPCでは、次の演算サイクル時に低消費電力化を行うことで、時間マージンを最大限に活用している。

2.2. Delayed Power Control モデル

図3にDPCを適用したプロセッサのモデルを示す。このモデルは、演算プロセッサ、入出力バッファ、タイミングコントローラ、供給電圧制御回路から構成される。タイミングコントローラは、演算プロセッサを構成する演算モジュールを東データ方式により非同期的に制御することで、1サイクル毎の演算終了のタイミング(Ack)を測定する[11]。またAck測定後、演算モジュール内を初期化し、次の入力をラッチする。供給電圧制御回路はAckをタイミングコントローラから受け取り、参照クロックと比較することで時間マージンを測定し、DC-DCコンバータの出力を決定する[12]。東データ方式で遅延を検出することで、小規模なタイミングコントローラで演算プロセッサの時間マージンを測定することができる。

3. ソース結合形論理に基づく高性能多値集積回路の構成

3.1. ソース結合形多値基本回路

ソース結合形多値基本回路を図4に示す。ソース結合形

多値集積回路では、線形加算およびしきい値検出の 2 種類の基本論理演算を用いて回路を構成する。

本回路では、論理値に対応する物理的な信号として以下の式で表される多レベル電流信号 $I(X)$ を用いる。

$$I(X) = X \cdot I_0 \quad (4)$$

(X : 論理値、 I_0 : 単位電流)

多レベル電流信号を用いることにより、線形加算を結線のみで行うことが可能となり、特に算術演算回路のクリティカルパスゲート段数削減に有用である[6]。

しきい値検出は、入力 S としきい値 T との比較を行い、その結果に基づき入力 X を 2 個の出力 ($Y+$, $Y-$) のいずれか一方に伝搬させる。ソース結合形多値集積回路では、しきい値検出を行うスレッシュホールドディテクタの遅延時間が回路全体の遅延時間の大半を占めることから、スレッシュホールドディテクタの高性能化は本回路の高性能化に不可欠である。

3.2. スレッシュホールドディテクタの高性能化

スレッシュホールドディテクタの回路図を図 5 に示す。入力電流 $I(S)$ は電流-電圧変換回路によって電圧 $V(S)$ に変換されてスレッシュホールドディテクタに入力される。スレッシュホールドディテクタは $V(S)$ としきい値 T に対応する電圧 $V(T)$ との比較結果を相補電圧信号 ($V(G+)$, $V(G-)$) として出力する比較回路、および ($V(G+)$, $V(G-)$) に基づき入力電流 $I(X)$ を 2 個の出力 ($Y+$, $Y-$) のいずれかに出力する出力生成回路から構成される。

3.2.1. 電流-電圧変換回路

しきい値検出では、ほとんどの場合一つの入力に対して複数のしきい値を用いたしきい値検出が行われる。これは、しきい値の個数と同数のスレッシュホールドディテクタを用い、それぞれに入力信号を与えることにより実現される。しかしながら、電圧信号を用いる一般的な回路では信号の複製が結線のみで可能であるのに対し、電流信号を用いる電流モード回路では信号の複製にカレントミラーが必要となり、これが電流モード回路の性能向上におけるボトルネックとなっている。

そこで、ソース結合形多値集積回路では、信号の複製が必要となるスレッシュホールドディテクタの直前で電流信号を電圧信号に変換する。これにより、線形加算を結線のみで実現可能であるという電流モード回路の特長を生かしながら、同時に信号の複製も結線のみで行うことが可能である。

電流-電圧変換は、pMOS トランジスタ $M1$ を線形領域で動作させることにより行われる。すなわち、 $M1$ のゲート端子を接地することにより、入力電流 $I(S)$ は式(5)のように電圧 $V(S)$ に変換される。(V_{TP} : pMOS トランジスタのしきい電圧、 L : $M1$ のチャンネル長、 W : $M1$ のチャンネル幅、 μ_p : pMOS トランジスタのキャリア移動度、 C_{ox} : 単位面積あたりのゲート絶縁膜容量)

$$V(S) = -V_{TP} + \sqrt{(V_{DD} + V_{TP})^2 - \frac{2L}{\mu_p WC_{ox}} I(S)} \quad (5)$$

電流-電圧変換をトランジスタ 1 個で実現することにより、電流-電圧変換に伴う回路面積の増加を最小限に抑えている。

5 値電流信号における入力電流と出力電圧の関係を表 1 に示す。式(5)が示すように、pMOS トランジスタを用いて電流-電圧変換を行う場合、出力電圧は入力電圧に対して非線形で変化する。従って、各論理値間の電圧信号レベルの差は一定ではなく、5 値信号では表 1 に示すように 0.2V ~ 0.35V の間で変化する。

3.2.2. スレッシュホールドディテクタ

比較回路は電流-電圧変換回路によって生成された多値電圧信号 $V(S)$ を入力とし、しきい値 T に対応する電圧 $V(T)$ との比較を行う。しかしながら、表 1 で示したように、各論理値間の電位差は最小で約 0.2V と非常に小さいため、このような微小な電位差を高速に検出できる比較回路の構成が不可欠である。

そこで、ソース結合形多値集積回路では、メモリのセンスアンプにも用いられるほど高い電流駆動能力を有する差動対回路に着目し、これをスイッチングゲートとして活用することにより、上記のような微小な電位差の検出を実現している。

差動対回路の回路図を図 6 に示す。nMOS トランジスタ $M1$ および $M2$ のドレイン電流 I_{D1} および I_{D2} はそれぞれ以下の式で表される。

$$I_{D1} = \begin{cases} \frac{\beta}{2} [V_{GS1} - V_{TN}]^2 & (\text{when } V_{D1} > V_{G1} - V_{TN}) \\ \frac{\beta}{2} [2(V_{GS1} - V_{TN})V_{DS1} - V_{DS1}^2] & (\text{when } V_{D1} < V_{G1} - V_{TN}) \end{cases} \quad (6)$$

$$I_{D2} = \begin{cases} \frac{\beta}{2} [V_{GS2} - V_{TN}]^2 & (\text{when } V_{D2} > V_{G2} - V_{TN}) \\ \frac{\beta}{2} [2(V_{GS2} - V_{TN})V_{DS2} - V_{DS2}^2] & (\text{when } V_{D2} < V_{G2} - V_{TN}) \end{cases} \quad (7)$$

一方、 $M1$ と $M2$ のソース端子は結線されていることから、 I_{D1} と I_{D2} の間には以下の関係式が成り立つ。

$$I_{D1} + I_{D2} = I_S \quad (8)$$

従って、 $M1$ および $M2$ のゲート端子に入力電圧 V_{G1} および V_{G2} を与えると、ソース端子の電圧 V_S は式(6)~(8)を満たすように変化する。 V_{G1} が V_{G2} に対して十分に大きい場合、 $V_{GS2} < V_{TN}$ となるように V_S が変化し、 $I_{D1} = I_S$, $I_{D2} = 0$ となる。同様に、 V_{G2} が V_{G1} に対して十分に大きい場合、 $I_{D1} = 0$, $I_{D2} = I_S$ となる。

差動対回路の入出力特性を図 7 に示す。差動対回路では、式(8)から分かるように一方の出力電流の増加によって他方の出力電流が減少するため、わずかな入力電圧の変化により出力電流のスイッチングが可能である。実際、図 7 に示すように 2 入力の電位差が 0.3V 程度あれば電流を完全にスイッチングすることができる。

本提案のスレッシュホールドディテクタ(図 5)では、入力電圧

V(S)としきい電圧 V(T)の比較に M2 および M3 から構成される差動対回路 DP1 を用いている。また、DP1 の出力電流を M5 および M6 によって相補電圧信号(V(G+), V(G-))に変換し、これを差動対回路 DP2 に入力することで、電流 I(X)のスイッチングを行う。この際、DP1 が完全にスイッチングしない状態でも V(G+)-V(G-)間に十分に電位差が発生するように M5, M6 を設計することで、差動対回路を単体で用いる場合と比較してさらに小さな入力電圧振幅下での電流スイッチングを実現している。

図 5において、T=0.5, X=1, S を 0 から 1 に変化させた時の入出力波形を図 8 に示す。V(0.5)=1.71V であるので、表 1 より V(S)-V(T)間の電位差は 0.1V 未満と非常に小さいが、提案回路を用いることによりこのような微小な電位差でも高速な電流スイッチングを実現していることが分かる。

3.3. 2 進 SD 数加算アルゴリズム

n 桁の 2 進 SD 数 $a = (a_{n-1} \cdots a_i \cdots a_0)$ は、下記の式で表される。(但し、 $a_i \in \{-1, 0, 1\}$)

$$a = \sum_{i=0}^{n-1} a_i \cdot 2^i \quad (9)$$

$a = (a_{n-1} \cdots a_i \cdots a_0)$ と $b = (b_{n-1} \cdots b_i \cdots b_0)$ の加算は以下の手順で行われる。

$$z(i) = a_i + b_i \quad (10)$$

$$2c_i + w_i = z_i \quad (11)$$

$$s_i = w_i + c_{i-1} \quad (12)$$

ここで、 z_i , w_i , c_i および s_i は、それぞれ入力線形和 $z = (z_{n-1} \cdots z_i \cdots z_0)$ 、中間和 $w = (w_{n-1} \cdots w_i \cdots w_0)$ 、キャリ $c = (c_{n-1} \cdots c_i \cdots c_0)$ および最終和 $s = (s_{n-1} \cdots s_i \cdots s_0)$ の i 桁目の値を表しており、 $z_i \in \{-2, -1, 0, 1, 2\}$ 、 $w_i, c_i, s_i \in \{-1, 0, 1\}$ である。

入力線形和 z_i からキャリ c_i と中間和 w_i は式(11)によって決定されるが、2 進 SD 数系ではこの式を満たす (c_i, w_i) の組合せは複数存在する。下位桁におけるキャリ c_{i-1} は、

$$c_{i-1} = \begin{cases} \{0, 1\} & (z_{i-1} \geq 1) \\ \{-1, 0\} & (z_{i-1} \leq 0) \end{cases} \quad (13)$$

であるから、下位桁の入力線形和 z_{i-1} に応じて中間和を

$$w_i = \begin{cases} \{-1, 0\} & (z_{i-1} \geq 1) \\ \{0, -1\} & (z_{i-1} \leq 0) \end{cases} \quad (14)$$

とすることにより、最終和 $s_i = \{-1, 0, 1\}$ となり、キャリ伝搬を高々 1 段に抑えることができる。以上のことから、 z_i および z_{i-1} から c_i および w_i が表 2 のように決定される[13]。

3.4. 2 進 SD 数全加算器の構成

ソース結合形多値集積回路を用いて 2 進 SD 数加算器を実現する場合、式(10)および式(12)は結線による線形加算で実現できる。また、式(11)は表 2 の機能を有する 2 進 SD 数全加算器 (SDFA) によって実現するエラー! 参照元が見つかりません。

SDFA のブロック図を図 9 に示す。 z_i , z_{i-1} , c_i , w_i に対して表 3 のように論理値変換を行うことにより、表 1 の 5 値信号を

用いた 2 進 SD 数加算が可能である。

4. 動き抽出 VLSI プロセッサへの応用

4.1. アルゴリズムと基本構成

動き抽出のアルゴリズムは、ウインドウ演算による対応点探索法とする[14]。このプロセッサは、SAD 演算部、比較部、そして参照ウインドウ内最大輝度差検出部の 3 つの機能ブロックから構成される。各機能ブロックは、パイプライン構成で同期的に動作する。パイプラインピッチは 10nsec である。

4.2. Delayed Power Control を適用した構成

図 3 の演算プロセッサを動き抽出プロセッサに置き換えることで DPC が適用できる。DPC を活用するためには、元のモデル構成に、入出力バッファ、タイミングコントローラ、そして供給電圧制御回路が追加される。演算プロセッサの動作は、タイミングコントローラにより制御される。動き抽出部において、参照ウインドウ内輝度差の最大値が一定値以下のときの演算時間は、そうでない場合の最悪時間に比べ小さくなる。これにより遅延が変化する。1 フレームを処理するのに 1 サイクルとし、1 サイクル毎に参照クロックと比較して時間マージンを測定する。測定した時間マージンを活用することで、低消費電力化を行う。

4.3. 消費電力低減の評価

0.18 μm CMOS に基づく電子回路解析プログラム HSPICE シミュレーションを用いて、DPC アルゴリズムを適用した構成と適用しない構成で性能比較を行う。表 1 にスループット一定条件下で消費電力を比較した結果を示す。本提案手法構成では、1 サイクル中に時間マージンが 30% ある場合に、消費電力を 26% 削減すると見積もることができる。また、ソース結合形多値回路技術に基づいて構成することにより、演算部の消費電力を本質的に低減できるため、DPC アルゴリズムを適用しない 2 値 CMOS による実現と比較して、消費電力を約半分程度に低減できることとなる。

5. むすび

時間マージンに着目し、電源電圧を動的に低減する DPC アルゴリズムを提案すると共に、これを動き抽出 VLSI プロセッサに適用し、本方式を用いない場合と比較して、平均動的消費電力を 26% 程度削減できることを明らかにした。また、ソース結合形多値回路技術を考案することにより、全体として消費電力を半減できることを明らかにした。本手法は、入力情報に依存した遅延のばらつきが大きい VLSI システム全般に有用である。今後は、監視システム用 MPEG 等の具体的応用例を取り上げて、本提案手法の有効性を定量的に評価することが重要である。

文 献

- [1] W. Nebel and J. Mermert, Low power Design in Deep Submicron Electronics, Kluwer Academic Publishers, Dordrecht, 1997.
- [2] A. Bellaouar and M. I. Elmasry, Low-power Digital

Design: Circuits and Systems, Kluwer Academic Publishers, Boston, 1995.

- [3] H. Iwai, "CMOS technology -Year 2010 and beyond," IEEE J. Solid-State Circuits, 34, 3, pp-357-366, Mar. 1999.
- [4] S.Malhi and P.Chatterjee, "1-V Microsystems-Scaling on Schedule for Personal Communications," IEEE Circuits and Devices, 10, 2, pp.13-17, 1994.
- [5] D.P.Foty and E.J.Nowak, "MOSFET technology for low-voltage/low-power applications," IEEE Micro, 14, 3, pp.68-76, 1994.
- [6] T. Hanyu and M. Kameyama, "A 200 MHz pipelined multiplier using 1.5 V-supply multiple-valued MOS current-mode circuits with dual-rail source-coupled logic," IEEE J. Solid-State Circuits, Vol.30, No.11, pp.1239-1245, Nov. 1995.
- [7] T. Hanyu, T. Ike and M. Kameyama, "Low-Power Dual-Rail Multiple-Valued Current-Mode Logic Circuit Using Multiple Input-Signal Levels," IEEE International Symposium on Multiple-Valued Logic, 30, 382/387, Portland, Oregon, USA, May 2000.
- [8] T. Ike, T. Hanyu and M. Kameyama, "Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources," IEEE International Symposium on Multiple-Valued Logic, 31, 21/26, Warsaw, Poland, May 2001.
- [9] T. Ike, T. Hanyu, and M. Kameyama, "Fully Source-Coupled Logic Based Multiple-Valued VLSI," Proc. 32nd IEEE International Symposium on Multiple-Valued Logic, Vol. 32, 270/275, Boston, Massachusetts, USA, May 2002.
- [10] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its application to CMOS inverter delay and other formulas," IEEE Journal of Solid State Circuits, vol. 25, no. 2, pp. 584-594, Apr.1990
- [11] Jens Sparsø and Steve Furber, "Principles of Asynchronous Circuit Design A Systems Perspective", Kluwer Academic Publishers, 2001
- [12] V. Gutnik, and A. Chandrakasan. An efficient controller for variable supply-voltage low power processing. 1996 Symposium on VLSI Circuits, pp. 158-159, June 1996
- [13] A. Avizienis, "Signed-digit number representations for fast parallel arithmetic," IRE Trans. Electron. Computers, Vol.EC-10, pp.389-400, Sep. 1961.
- [14] H. A. Mahmoud and Magdy Bayoumi, "A low power architecture for a new efficient block-matching motion estimation algorithm", Proc. of Midwest symposium on circuit and systems, pp.436-439, 2000.

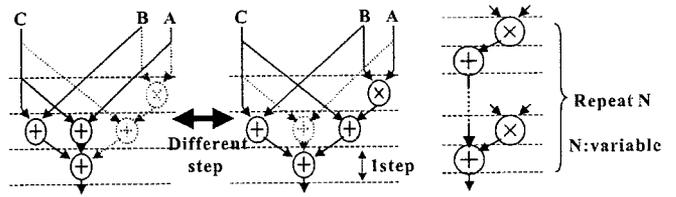
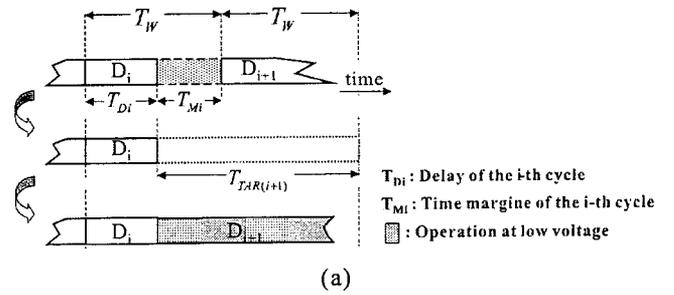
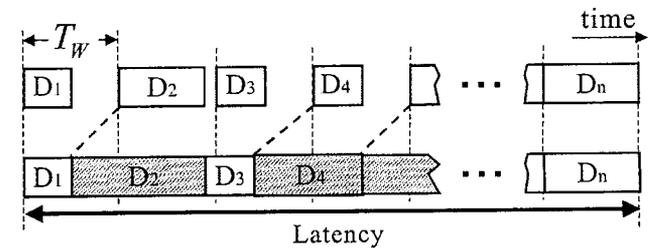


图1. Variation of operation step counts by external inputs



(a)



(b)

图2. Delayed Power Control (a)Principle (b)Example

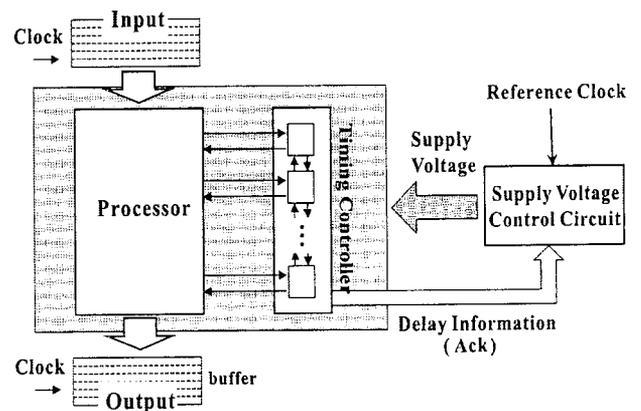


图3. DPC model

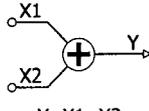
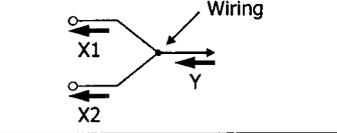
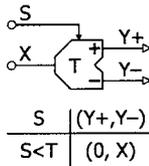
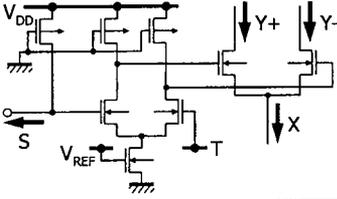
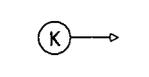
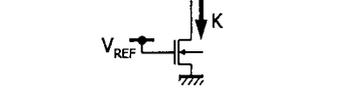
	Symbol/Function	Schematic
Linear summation circuit	 $Y=X1+X2$	 Wiring
Threshold detector	 S (Y+, Y-) $S < T$ (0, X) $S > T$ (X, 0)	 V_{DD} , V_{REF} , T , S , $Y+$, $Y-$, X
Constant generation circuit		 V_{REF} , K

図4. ソース結合形多値基本回路

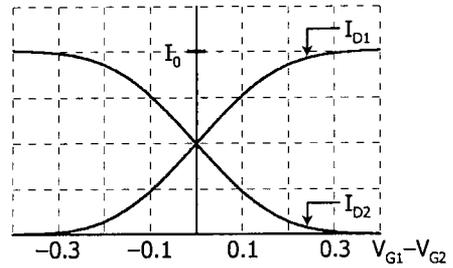


図7. 差動対回路の入出力特性

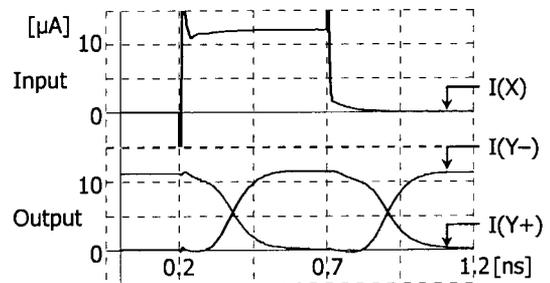


図8. スレッシュホルドディテクタの入出力波形

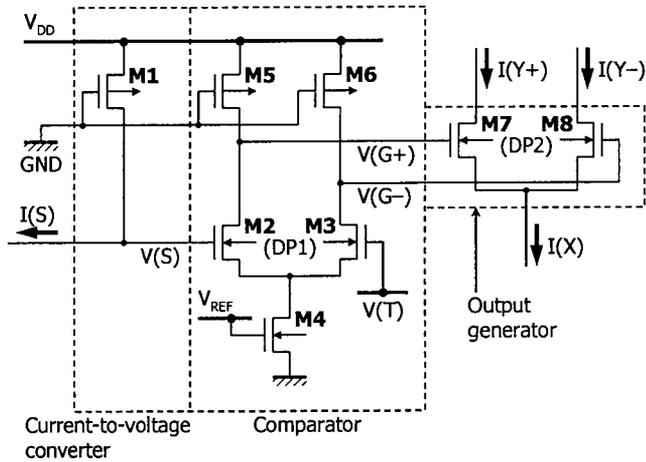


図5. スレッシュホルドディテクタ

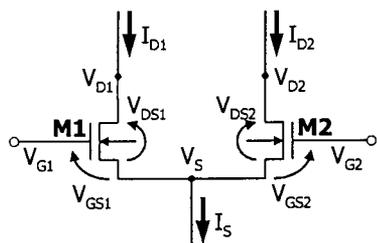


図6. 差動対回路

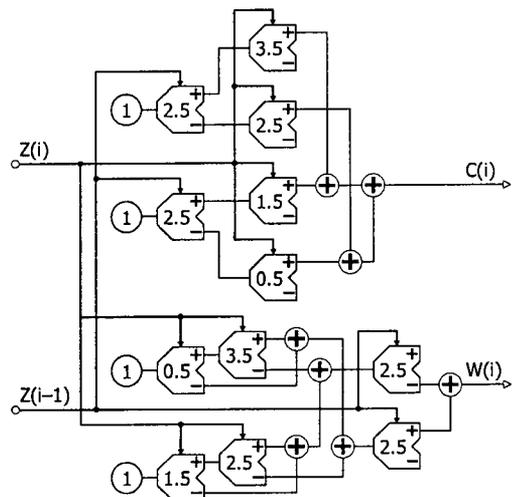


図9. 2進SD数全加算器のブロック図

表1. 5 値信号レベル

	Current	Voltage
0	0 μ A	1.80V
1	12 μ A	1.62V
2	24 μ A	1.40V
3	36 μ A	1.12V
4	48 μ A	0.80V

表2. 2 進 SD 数加算の真理値表

入力線形和 z_i	出力		条件
	c_i	w_i	
2	1	0	
1	1	-1	$z_{i-1} \geq 1$ の時
	0	1	$z_{i-1} \leq 0$ の時
0	0	0	
-1	0	-1	$z_{i-1} \geq 1$ の時
	-1	1	$z_{i-1} \leq 0$ の時
-2	-1	0	

表3. S DFA の論理値変換

$z(i), z(i-1)$	-2	-1	0	1	2
$Z(i), Z(i-1)$	0	1	2	3	4

$c(i), w(i-1)$	-1	0	1
$C(i), W(i-1)$	0	1	2

表4. 性能評価

(motion-vector detection VLSI processor)

	動的消費電力	トランジスタ数比
DPC なし (2 値 CMOS)	131.4mW	1
DPC あり (2 値 CMOS)	97.2mW (80.5mW+16.7mW) ¹⁾	1.03
DPC あり (多値 SCL)	66.7mW (50.0mW+16.7mW)	1.03

スループット : 約 6×10^6 bit/sec

注 1) 16.7mW は制御回路部の電力消費